

(11)特許出願公開番号

特開平11-330376

(43)公開日 平成11年(1999)11月30日

FI

G

21/822

H0 2M 3/07

H0 2M 3/07

審査請求 未請求 請求項の数5 O.L (全 8 頁)

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 佐 野 嘉 之

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

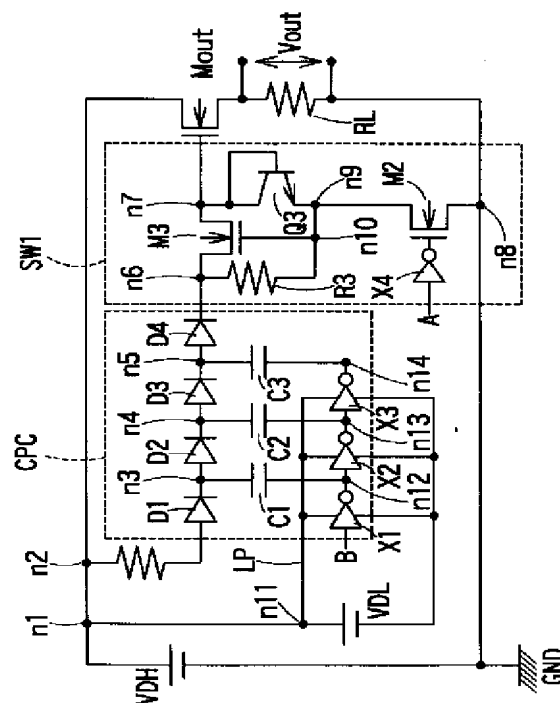
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 チャージポンプ式駆動回路

(57) 【要約】

【課題】 チャージポンプ回路に使用するコンデンサの耐圧をパワー電源の電圧に依存しないようにする。

【解決手段】 チャージポンプ式駆動回路において、チャージポンプ回路CPCをパワー電源VDHの電圧を基準として、負電源にて駆動させる。これにより、チャージポンプ回路CPCに使用するコンデンサC1～C3の両端にかかる電圧を小さくすることができる。さらに、チャージポンプ回路CPCと出力用のMOSTランジスタMOUととの間にスイッチ回路SW1を挿入することにより、チャージポンプ回路CPCと出力用のMOSTランジスタMOUとを分離することができるようにする。これにより、この出力用のMOSTランジスタMOUがオン状態、オフ状態に関わらずコンデンサC1～C3の両端にかかる電圧をパワー電源VDHの電圧に依存しないようにすることができる。



【特許請求の範囲】

【請求項1】第1の電源電圧と、この第1の電源電圧より高い第2の電源電圧とを発生する、パワー電源と、前記パワー電源の第2の電源電圧に直列的に接続された複数のダイオードと、

直列的に接続された複数のインバータであって、最初の段のインバータに入力パルス信号が入力されるとともに、それぞれのインバータのパルス出力が、前記第2の電源電圧と、この第2の電源電圧から一定電圧降下させた第3の電源電圧との間で、振幅する、複数のインバータと、

前記複数のダイオードの間における各ノードと、前記複数のインバータの間における各ノードとを、それぞれ並列的に接続する複数のコンデンサと、

を備えたことを特徴とするチャージポンプ式駆動回路。

【請求項2】前記複数のダイオードにおける最後の段のダイオードの出力は、出力用トランジスタの制御端子へ接続されるとともに、

前記最後の段のダイオードの出力と、前記出力用トランジスタの制御端子との間に、前記出力用トランジスタがオフ状態の場合にのみ、前記最後の段のダイオードと前記出力用トランジスタとを切り離すための、後段側スイッチ回路を設けた、

ことを特徴とする請求項1に記載のチャージポンプ式駆動回路。

【請求項3】前記後段側スイッチ回路は、

前記最後の段のダイオードに接続された入力端子と、前記出力用トランジスタの制御端子に接続された出力端子と、第1抵抗を介して前記最後の段のダイオードに接続された制御端子とを有する、第1トランジスタと、

前記第1トランジスタの制御端子に接続された入力端子と、前記パワー電源の第1の電源電圧に接続された出力端子と、前記出力用トランジスタのオン状態とオフ状態とを切り換えるための入力制御信号が入力される制御端子とを有する、第2トランジスタと、

前記出力用トランジスタの制御端子に接続された入力端子及び制御端子と、前記第2トランジスタの前記入力端子に接続された出力端子とを有する、第3トランジスタと、

を備えたことを特徴とする請求項2に記載のチャージポンプ式駆動回路。

【請求項4】前記複数のダイオードにおける最初の段のダイオードの入力と、前記パワー電源の第2の電源電圧との間に、前記出力用トランジスタがオフ状態の場合には、前記最初の段のダイオードと前記パワー電源の第2の電源電圧とを切り離すための、前段側スイッチ回路を設けた、

ことを特徴とする請求項2又は請求項3に記載のチャージポンプ式駆動回路。

【請求項5】前記前段側スイッチ回路は、

前記パワー電源の第2の電源電圧に接続された入力端子を有する、第4トランジスタと、

一端側が前記第4トランジスタの出力端子及び制御端子に接続された、第2抵抗と、

前記第2抵抗の他端側に接続された入力端子と、前記パワー電源の第1の電源電圧に接続された出力端子と、前記出力用トランジスタのオン状態とオフ状態とを切り換えるための入力制御信号が入力される制御端子とを有する、第5トランジスタと、

前記パワー電源の第2の電源電圧に接続された入力端子と、前記第4トランジスタの前記制御端子に接続された制御端子と、前記複数のダイオードの最初の段のダイオードに接続された出力端子とを有する、第6トランジスタと、

を有することを特徴とする請求項4に記載のチャージポンプ式駆動回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、チャージポンプ式駆動回路に関するものであり、特に、負荷の上側にスイッチング素子を有する、いわゆるハイサイドスイッチの駆動部分に用いられる、チャージポンプ式駆動回路に関するものである。

【0002】

【従来の技術】図5は従来のチャージポンプ式駆動回路を示す図である。図6(a)は図5に示すチャージポンプ式駆動回路の各所の電圧波形を示す図であり、図6(b)は入力制御信号Aの波形を示す図であり、図6(c)は入力パルス信号Bの波形を示す図である。

【0003】図5からわかるように、このチャージポンプ式駆動回路は、チャージポンプ回路CPC'とスイッチ回路SW'とを備えて構成されている。チャージポンプ回路CPC'は、直列的に接続されたダイオードD1～D4と、同様に直列的に接続されたインバータX12～X3と、これらダイオードD1～D4とインバータX1～X3との間に並列的に接続されたコンデンサC1～C3と、を備えて構成されている。また、スイッチ回路SW'は、チャージポンプ回路CPC'の前段側でカレントミラー回路を構成するバイポーラトランジスタQ1、Q2と、バイポーラトランジスタQ1に直列的に接続された抵抗R1及びMOSトランジスタM1と、チャージポンプ回路の後段側に接続されたMOSトランジスタM2とを、備えて構成されている。

【0004】MOSトランジスタM1の制御端子には図6(b)に示す入力制御信号Aが加えられ、インバータX1には図6(c)に示す入力パルス信号Bが加えられる。この入力制御信号Aがローレベルからハイレベルになると、MOSトランジスタM1がオン状態となり、バイポーラトランジスタQ1、Q2がオン状態となる。このため、チャージポンプ用のコンデンサC1に充電が始

められる。このコンデンサC1は、インバータX1の出力がローレベルの時に、バイポーラトランジスタQ2とダイオードD1とを介してパワー電源VDHから充電され、約VDH-VFの電荷が蓄えられる。

【0005】次に、インバータX1の出力がローレベルからハイレベルに変わった時に、コンデンサC1に蓄えられた電荷のうち、VDL-VFがコンデンサC2に移動する。このため、コンデンサC2には、約VDH+VDL-VFの電荷が蓄えられる。同様なことを繰り返すことにより、コンデンサC3には、約VDH+2VDL-2VFの電荷が蓄えられる。このような動作は入力パルス信号Bと同期して連続的になされている。このため、インバータX3の出力をノードm1とし、ダイオードD3とダイオードD4との間をノードm2とすると、これらノードm1、m2の電圧波形は、図6(a)に示すようになる。この図6(a)からわかるように、このチャージポンプ回路CPC'により、パワー電源VDHよりも高い電圧が生成される。

【0006】

【発明が解決しようとする課題】上述したところからわかるように、従来のチャージポンプ式駆動回路は、グラウンド電位に対して電荷を蓄積し、ハイサイドスイッチの駆動電源を確保するようにしている。しかし、パワー電源VDHや出力段に使用するスイッチング素子であるMOSトランジスタMOUT(MOSFET、IGBT等を含む電圧駆動型素子)の耐圧以上の電圧が、チャージポンプ回路を含む駆動回路に印加されてしまうため、コンデンサC1～C3の素子耐圧は、パワー電源VDH又は出力段素子耐圧以上のものを使用しなければならないという問題が生じる。

【0007】すなわち、コンデンサC1～C3には、パワー電源VDHより高い電圧が印加されていることから、チャージポンプ用のコンデンサC1～C3には、スイッチ用の素子であるバイポーラトランジスタQ1、Q2等よりも高い耐圧が必要とされる。一般にICプロセスにおいては、コンデンサは酸化膜等の絶縁体を使用して形成されており、コンデンサの耐圧は、酸化膜厚で決定されるものである。したがって、このコンデンサに耐圧を求めるには、この酸化膜を厚くする必要があるが、酸化膜を厚くすると単位面積当たりの容量が減少し、チップサイズが大きくなるという不利益がある。また、部品を使用してコンデンサを構成する場合にも、耐圧が高いコンデンサを選択しなければならないという問題が生じる。

【0008】そこで本発明は、前記課題に鑑みてなされたものであり、チャージポンプを構成するコンデンサにパワー電源より高い電圧が印加されないようにした、チャージポンプ式駆動回路を提供することを目的とする。すなわち、チャージポンプを構成するコンデンサの耐圧をパワー電源に依存しないようにしたチャージポンプ式

駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明に係るチャージポンプ式駆動回路は、第1の電源電圧と、この第1の電源電圧より高い第2の電源電圧とを発生する、パワー電源と、前記パワー電源の第2の電源電圧に直列的に接続された複数のダイオードと、直列的に接続された複数のインバータであって、最初の段のインバータに入力パルス信号が入力されるとともに、それぞれのインバータのパルス出力が、前記第2の電源電圧と、この第2の電源電圧から一定電圧降下させた第3の電源電圧との間で、振幅する、複数のインバータと、前記複数のダイオードの間における各ノードと、前記複数のインバータの間における各ノードとを、それぞれ並列的に接続する複数のコンデンサと、を備えたことを特徴とする。

【0010】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態は、チャージポンプ式駆動回路において、チャージポンプ回路を電源基準の負電源にて駆動させることにより、チャージポンプ回路に使用するコンデンサの両端にかかる電圧を小さくしたものである。さらに、チャージポンプ回路と出力用トランジスタとの間にスイッチ回路を挿入することにより、チャージポンプ回路と出力用トランジスタとを分離して、この出力用トランジスタがオン状態、オフ状態に関わらずコンデンサの両端にかかる電圧をパワー電源に依存しないようにしたものである。以下、図面に基づいて、より詳しく説明する。

【0011】図1は、本発明の第1実施形態に係るチャージポンプ式駆動回路を示す図である。図2(a)は、この図1に示すチャージポンプ式駆動回路の各所における電圧波形を示す図であり、図2(b)は入力制御信号Aの波形を示す図であり、図2(c)は入力パルス信号Bの波形を示す図である。

【0012】図1左側からわかるように、グラウンド端子GNDとノードn1との間には、パワー電源VDHが接続されている。図1右側からわかるように、このノードn1とグラウンドGNDとの間には、出力素子であるn型のMOSトランジスタMOUTと抵抗RLとが、直列的に接続されている。この出力用のMOSトランジスタMOUTとノードn1の間には、ノードn2が設けられている。このノードn2とMOSトランジスタMOUTの制御端子の間には、制限抵抗R2とダイオードD1～D4とn型のMOSトランジスタM3とが直列的に接続されており、これらの間がそれぞれノードn3～n7を形成している。MOSトランジスタM3の制御端子とノードn6との間には抵抗R3が接続されている。グラウンドGNDと抵抗RLとの間にはノードn8が形成されており、このノードn8とノードn7の間には、npn型のバイポーラトランジスタQ3とn型のMOSトランジ

スタM2とが、直列的に接続されている。バイポーラトランジスタQ3の制御端子はその出力端子に接続されており、いわゆるダイオード接続を構成している。バイポーラトランジスタQ3とMOSトランジスタM2との間のノードn9と、MOSトランジスタM3と抵抗R3との間のノードn10とは、互いに共通に接続されている。MOSトランジスタM2の制御端子には、インバータX4を介して入力制御信号Aが入力されている。上述した、MOSトランジスタM2、M3と、インバータX4と、抵抗R3と、バイポーラトランジスタQ3とで、本実施形態におけるスイッチ回路SW1を構成している。

【0013】ノードn1の図中下側には、ノードn11によりループを閉じて形成された、閉ループLPが設けられている。このノードn11の図中下側における閉ループLP中には、負電源VDLが設けられている。この負電源VDLはパワー電源VDHの電圧を基準とする負電源である。閉ループLPにより、インバータX1、X2、X3から構成されるロジック回路に、電圧VDHと電圧VDH-VDLとが供給される。ロジック回路の入力側に位置する最初の段のインバータX1には、入力パルス信号Bが入力される。インバータX1、X2、X3のそれぞれの間には、ノードn12、n13が形成されている。また、インバータX3の出力は、ノードn14に接続されている。ノードn12とノードn3との間には、コンデンサC1が接続されている。ノードn13とノードn4との間には、コンデンサC2が接続されている。インバータX3の出力（ノードn14）とノードn5との間には、コンデンサC3が接続されている。すなわち、ダイオードD1~D4と、インバータX1~X3との、それぞれの間に、コンデンサC1~C3が並列的に接続されている。これらダイオードD1~D4と、インバータX1~X3と、コンデンサC1~C3とで、本実施形態におけるチャージポンプ回路CPCが構成されている。

【0014】次にこのチャージポンプ式駆動回路の動作を説明する。

【0015】図1からわかるように、インバータX1には、図2(c)に示す入力パルス信号Bが入力される。この入力パルス信号Bは、電圧VDH（ハイレベル）と電圧VDH-VDL（ローレベル）との間を振幅動作する。図2(a)からわかるように、インバータX1~X3の出力も、VDHとVDH-VDLの間を振幅動作する。この振幅動作は、インバータX1~X3が直列的に接続されていることから、これらインバータX1~X3の隣接する出力において、互いに交互に反転している関係にある。

【0016】コンデンサC1に着目すると、インバータX1の出力がVDH-VDLの時、つまり、インバータX1の出力がローレベルの時に、制限抵抗R2とダイオ

ードD1を経由して、VDL-VFの電荷が蓄えられる。インバータX1の出力がVDHに変化した時、つまり、インバータX1の出力がハイレベルに変化した時に、このコンデンサC1に蓄えられた電荷は、コンデンサC2へ充電される。次に、インバータX2の出力がVDH-VDLに変化した時、つまり、インバータX2の出力がローレベルに変化した時には、このコンデンサC2には、コンデンサC1から移動した電荷と合わせて2VDL-2VFの電荷が蓄えられる。これと同様に、インバータX2の出力がVDHに変化した時、つまり、インバータX2の出力がハイレベルに変化した時に、このコンデンサC2に蓄えられた電荷は、コンデンサC3へ充電される。次に、インバータX3の出力がVDH-VDLに変化した時、つまり、インバータX3の出力がローレベルに変化した時には、このコンデンサC3には、コンデンサC2から移動した電荷と合わせて3VDL-3VFの電荷が蓄えられる。以上のような動作は連続的になされており、ノードn3、n4、n5、n12、n14における電圧は、図2(a)に示すように変化する。

【0017】このようなチャージポンプ回路CPCが駆動するか否かは、入力制御信号Aによりコントロールされている。すなわち、図2(b)に示すように、入力制御信号Aがハイレベルになることにより、このチャージポンプ式駆動回路が動作する。図1からわかるように、入力制御信号Aは、インバータX4を介して、MOSトランジスタM2の制御端子に入力される。つまり、入力制御信号Aがローレベルからハイレベルに変化することにより、MOSトランジスタM2がオン状態からオフ状態となる。このMOSトランジスタM2がオフ状態となると、ダイオードD4から抵抗R3によりダイオード接続をしているMOSトランジスタM3がオン状態となり、この結果、ダイオードD4の出力がMOSトランジスタMOUTの制御端子に入力される。このときのノードn7の電圧は図2(a)に示すように、パワー電源VDHの電圧よりも高い電圧になっている。つまり、VDH+3(VDL-VF)からダイオードD4の順抵抗VFとMOSトランジスタM3のオン抵抗分だけ、降下した電圧になっている。この電圧によりMOSトランジスタMOUTはオン状態となり、抵抗RLから出力電圧Voutが出力される。図2(b)からわかるように、入力制御信号Aがハイレベルからローレベルになると、MOSトランジスタM2がオフ状態からオン状態となり、ダイオード接続されているバイポーラトランジスタQ3もオン状態となる。このため、ノードn7はグラウンドレベルになる。このため、MOSトランジスタMOUTはオフ状態となる。またこれと同時に、ノードn10もグラウンドレベルになるので、MOSトランジスタM3もオフ状態となる。すなわち、入力制御信号がローレベルになると、MOSトランジスタMOUT、M3の制御端子

から電圧が引き抜かれて、チャージポンプ回路の出力であるダイオードD4と、MOSトランジスタMOU Tが切り離される。このため、ノードn7の電圧がグランドレベルであるにもかかわらず、ノードn6の電圧が約 $V_{DH}-4V$ に維持される。この場合における、ノードn5の電圧は $V_{DH}-3V$ であり、ノードn4の電圧は $V_{DH}-2V$ であり、ノードn3の電圧は $V_{DH}-V$ である。

【0018】以上のように本実施形態に係るチャージポンプ式駆動回路によれば、チャージポンプ回路をパワー電源 V_{DH} の電圧を基準として、その負側電圧 $V_{DH}-V_{DL}$ で駆動させることにしたので、チャージポンプ回路CPCに使用するコンデンサC1～C3の両端にかかる電圧を小さくすることができる。すなわち、図2からわかるように、インバータX1～X2の出力パルスを電圧 V_{DH} から電圧 $V_{DH}-V_{DL}$ の幅で振幅させることとしたので、コンデンサC1～C3にかかる電圧を従来と比べて小さくすることができる。しかも、これらコンデンサC1～C3にかかる電圧は、それぞれ、 $V_{DL}-V$ 、 $2V_{DL}-2V$ 、 $3V_{DL}-3V$ で表現されるので、コンデンサC1～C3に蓄えられる電圧を、パワー電源 V_{DH} に依存しないようにすることができる。

【0019】さらに、図1からわかるように、MOSトランジスタMOU Tをオフ状態にする際には、このMOSトランジスタMOU Tの制御端子と、チャージポンプ回路の出力であるダイオードD4とを切り離すこととしたので、ノードn6をグランドレベルまで落とさないで済み、このため、コンデンサC3等に V_{DH} に依存した高い電圧が印加されるのを防止することができる。すなわち、ノードn14が V_{DH} になり、ノードn5がグランドレベルになって、コンデンサC3等が高い電圧が印加されてしまうのを防止することができる。

【0020】〔第2実施形態〕本発明の第2実施形態は、前述した第1実施形態のチャージポンプ式駆動回路において、そのチャージポンプ回路の前段にもスイッチ回路を設けることにより、チャージポンプ式駆動回路がオフ状態の場合に流れる定常電流を削減し、消費電力の低減を図ったものである。以下、図面に基づいて、より詳しく説明する。図3は、本発明の第2実施形態に係るチャージポンプ式駆動回路を示す図である。図4(a)は、この図1に示すチャージポンプ式駆動回路の各所における電圧波形を示す図であり、図4(b)は入力制御信号Aの波形を示す図であり、図4(c)は入力パルス信号Bの波形を示す図である。

【0021】図3からわかるように、第2実施形態に係るチャージポンプ式駆動回路は、第1実施形態と同様にチャージポンプ回路CPCの後段にスイッチ回路SW1を設けるとともに、チャージポンプ回路CPCの前段にもスイッチ回路SW2を追加して設けることにより、構成されている。

【0022】前段側のスイッチ回路SW2は、パワー電源 V_{DH} とグランドとの間に直列的に接続された、バイポーラトランジスタQ1と、抵抗R1と、MOSトランジスタM1とを備えて、構成されている。バイポーラトランジスタQ1には、制御端子を共通接続する形で、バイポーラトランジスタQ2が接続されている。つまり、バイポーラトランジスタQ1、Q2はカレントミラー回路を構成している。バイポーラトランジスタQ2の出力端子は、チャージポンプ回路のダイオードD1へ接続されている。MOSトランジスタM1の制御端子には入力制御信号Aが入力されている。また、この入力制御信号Aは、後段側のスイッチ回路SW1のインバータX4にも入力されている。これらの点を除いては、第2実施形態に係るチャージポンプ式駆動回路の構成は、第1実施形態のものと同様である。

【0023】次に、この第2実施形態に係るチャージポンプ式駆動回路の動作を説明するが、図4からわかるように、この第2実施形態に係るチャージポンプ式駆動回路の動作は、第1実施形態に係るチャージポンプ式駆動回路の動作と、同様のものである。

【0024】以上のように、本実施形態に係るチャージポンプ式駆動回路によれば、チャージポンプ回路の前段側にもスイッチ回路SW2を設けたので、このチャージポンプ式駆動回路のオフ状態に定常電流が流れるのを防止でき、消費電力の抑制を図ることができる。より詳しく説明すると、図1からわかるように、第1実施形態においては、チャージポンプ式駆動回路がオフ状態の場合、MOSトランジスタM2がオン状態となる。このため、チャージポンプ回路CPCの出力であるダイオードD4から抵抗R3、MOSトランジスタM2を経由して、グランドへ定常電流が流れてしまう。これに対し、図3からわかるように、第2実施形態においても、チャージポンプ式駆動回路がオフ状態の場合、MOSトランジスタM2がオン状態となる。さらに、MOSトランジスタM1がオフ状態となることから、カレントミラーを構成するバイポーラトランジスタQ2もオフ状態となる。つまり、チャージポンプ回路CPCの前段のスイッチ回路SW2がオフ状態となる。このため、チャージポンプ回路CPCへのパワー電源 V_{DH} からの電圧供給が切り離され、ダイオードD4から抵抗R3、MOSトランジスタM2を経由して、グランドへ定常電流が流れてしまうのを防止することができる。したがって、このチャージポンプ式駆動回路がオフ状態の場合における消費電力を低減することができる。

【0025】なお、本発明は上記実施形態に限定されず種々の変形が可能である。例えば、図1及び図3からわかるように、保護機能により、MOSトランジスタMOU Tの制御端子の電圧をリニアに絞っていくこともできる。この場合、MOSトランジスタMOU Tの制御端子の電圧を絞っていくと、MOSトランジスタM3の制御

端子の電圧も同時に絞って行くことができる。つまり、ノード n9 における電圧をオペアンプ等を用いてリニアにコントロールする場合にも、本発明を適用することができる。

【0026】また、図2及び図4からわかるように、上述した実施形態においては、入力パルス信号Bを入力制御信号Aのハイレベル／ローレベルの状態にかかわらず、連続的に供給するようにしたが、この入力パルス信号Bを入力制御信号Aの状態と連動されることもできる。すなわち、入力制御信号Aがこのチャージポンプ式駆動回路をオン状態とするための期間だけ、つまりハイ状態の期間だけ、入力パルス信号Bを供給するようにすることもできる。このようにすれば、不必要な入力パルス信号Bの分だけ、消費電力を低減できる。

【0027】

【発明の効果】以上説明したように、本発明によれば、チャージポンプ回路をパワー電源を基準とする負電源にて駆動させることとしたので、チャージポンプ回路に使用するコンデンサの両端にかかる電圧を小さくすることができるとともに、コンデンサの耐圧をパワー電源に依存しないようにすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るチャージポンプ式駆動回路の回路構成の一例を示す図である。

【図2】(a)は図1に示すチャージポンプ式駆動回路

の各所における電圧波形を示す図であり、(b)は入力制御信号を示す図であり、(c)は入力パルス信号を示す図である。

【図3】本発明の第2実施形態に係るチャージポンプ式駆動回路の回路構成の一例を示す図である。

【図4】(a)は図3に示すチャージポンプ式駆動回路の各所における電圧波形を示す図であり、(b)は入力制御信号を示す図であり、(c)は入力パルス信号を示す図である。

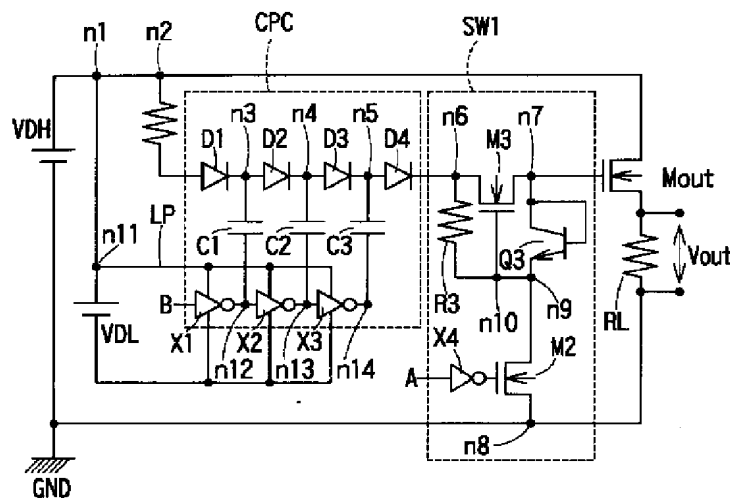
【図5】従来のチャージポンプ式駆動回路の回路構成の一例を示す図である。

【図6】(a)は図5に示すチャージポンプ式駆動回路の各所における電圧波形を示す図であり、(b)は入力制御信号を示す図であり、(c)は入力パルス信号を示す図である。

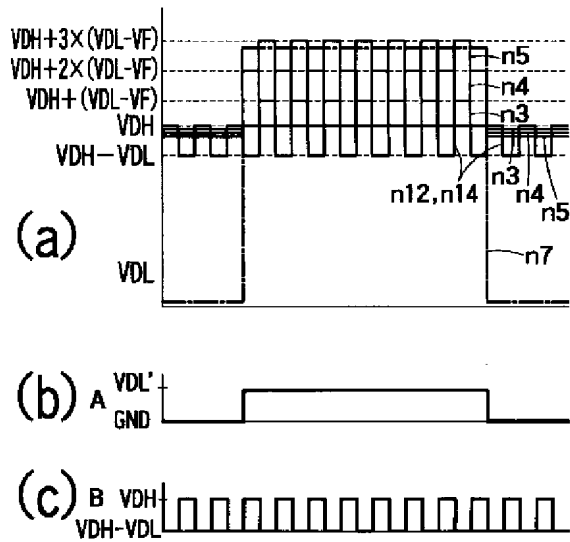
【符号の説明】

SW1 後段側のスイッチ回路
SW2 前段側のスイッチ回路
CPC チャージポンプ回路
X1～X4 インバータ
D1～D4 ダイオード
M1～M3 MOSTランジスタ
MOUT 出力用のMOSTランジスタ
Q1～Q3 バイポーラトランジスタ

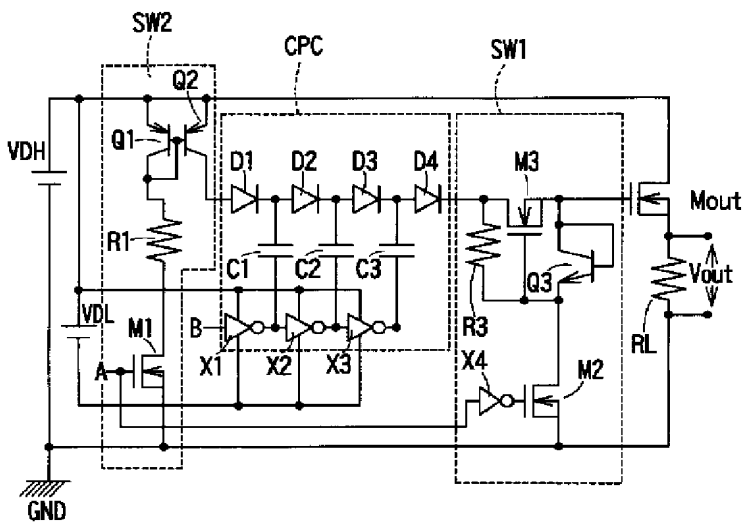
【図1】



【図4】



【図3】



(a)

(b)

(c)



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11330376 A**(43) Date of publication of application: **30.11.99**

(51) Int. Cl.

H01L 27/04**H01L 21/822****H02M 3/07**(21) Application number: **10136802**(22) Date of filing: **19.05.98**(71) Applicant: **TOSHIBA MICROELECTRONICS
CORP TOSHIBA CORP**(72) Inventor: **SANO YOSHIYUKI****(54) CHARGE PUMP TYPE DRIVING CIRCUIT****(57) Abstract:**

PROBLEM TO BE SOLVED: To prevent the withstanding voltage of a capacitor which is used in a charge pump circuit from depending on the voltage of a power source.

SOLUTION: In a charge pump type driving circuit, a charge pump circuit CPC is driven by a negative power source using the voltage of a power source VDH as a reference. As a result, the voltage applied across both ends of capacitors C1 to C3 used in the circuit CPC can be decreased. Further, by inserting a switch circuit SW1 between the circuit CPC and an output MOS transistor Mout, the circuit CPC is separated from the transistor Mout. As a result, the voltage applied across both ends of the capacitors C1 to C3 can be made independent of the voltage of the source VDH irrespective of the state of the transistor Mout, whether it is in the ON state or in the OFF state.

COPYRIGHT: (C)1999,JPO

